

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-332853

(43)Date of publication of application : 21.11.2003

(51)Int.Cl.

H03F 1/32

H04B 1/04

H04B 3/04

(21)Application number : 2002-139111

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.05.2002

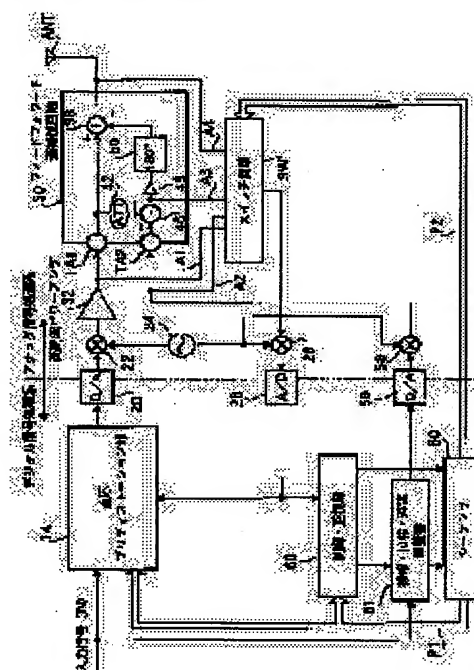
(72)Inventor : ITAHARA HIROSHI

(54) METHOD AND DEVICE FOR COMPENSATING HYBRID DISTORTION

(57)Abstract:

PROBLEM TO BE SOLVED: To remarkably improve the capability for compensating nonlinear distortion over a wide area of a high frequency power amplifier under severe conditions when made small and saving power.

SOLUTION: An adaptive predistortion processing part (14) and a feedforward distortion compensation circuit (30) are connected through a D/A converter (20), an A/D converter (28) or the like, a switch circuit (SW) is used to extract a signal of each part of the feedforward distortion compensation circuit (30) to feed back the signal to a digital signal processing system, and a control and monitoring part (60) performs processing using digital signal processing with high accuracy. Two input signal characteristics of the feedforward distortion compensation circuit (30) are made to coincide with each other by an amplitude, phase and delay adjuster (51) and feedforward distortion compensation processing is subsequently performed. A sequencer (80) sequentially control respective parts.



LEGAL STATUS

[Date of request for examination] 02.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3502087

[Date of registration] 12.12.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11) 特許出願公開番号
特開2003-332853
(P2003-332853A)

(43) 公開日 平成15年11月21日 (2003.11.21)

識別記号		F1		F1 (参考)	
(61) InCl'	1/32	H03F	1/32	5J090	
H03F	1/04	H04B	1/04	R 5J500	
H04B	3/04			C 5K046	
				5K060	

審査請求 有 請求項の頁20 (全 18 頁)

(21) 出願番号 特開2002-139111(P2002-139111)

(71) 出願人 000065921

(52) 出願日 平成14年5月14日 (2002.5.14)

松下電器産業株式会社
大阪府門真市大字門真1005番地

(72) 発明者 板原 弘

特許出願人 板原 弘
号 松下通信工業株式会社内

(70) 代理人 100105050

弁護士 堀田 公一

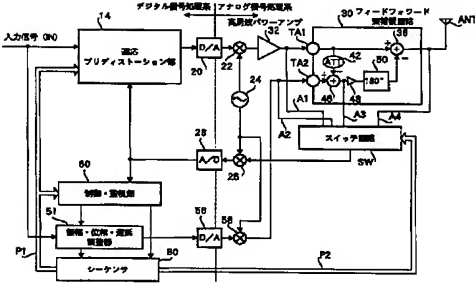
最終頁に続く

(54) 【発明の名称】 ハイブリッド至補償方法およびハイブリッド至補償装置

(57) 【要約】

小型、消費電力という厳しい条件下で、高周波パワートランジスタの広帯域に渡る非線形歪を補償する能力を、飛躍的に向上させること。

【解決手段】 適応フリクティオニストン処理部 (14) と、フレイドフワード至補償回路 (30) とをD/A変換器 (20)、A/D変換器 (28) 等を介して接続し、フレイドフワード至補償回路 (30) の各部の信号をスイッチ回路 (SW) を用いて取り出し、デジタル信号処理系に導き、制御・監視部 (60) にて、高精度のデジタル信号処理を用いた処理を行う。フレイドフワード至補償回路 (30) の2つの入力信号の特性を、振幅・位相・遅延調整器 (51) により一致させた後、フレイドフワード至補償処理を行う。シーケンサ (80) が、各部をシーケンサレベルに制御する。



【特許請求の範囲】

【請求項1】 入力デジタル信号に対して、電力増幅器の非線形特性とは逆特性の歪を予め与える適応フレイクティオニストン処理部と、この適応フレイクティオニストン処理部が至補償することのできない歪成分をフレイドフワード至補償回路によって補償するフレイドフワード至補償回路と、を具備するハイブリッド至補償装置であって、前記フレイドフワード至補償回路には、2つの信号を個別に入力できるように2つの信号入力点が存在し、一方の信号入力点には、前記フレイクティオニストン処理部による適応フレイクティオニストン処理を施した信号を入力し、

他方の信号入力点には、前記適応フレイクティオニストン処理部による適応フレイクティオニストン処理を施した信号の前記入力デジタル信号に対しての歪成分を入力する、ことを特徴とするハイブリッド至補償装置。

【請求項2】 デジタル信号に対するフレイクティオニストン処理と、フレイドフワード方式の歪キャンセリング処理とを併用するハイブリッド至補償方法であって、前記フレイクティオニストン処理の後であって前記フレイドフワード方式の歪キャンセリング処理を行う前に、前記フレイドフワード方式の歪キャンセリング処理を行う回路に個別に入力される2つの入力信号の特性を一致させるための、デジタル信号処理を用いた調整処理を実行することを特徴とするハイブリッド至補償方法。

【請求項3】 デジタル信号に対するフレイクティオニストン処理と、フレイドフワード方式の歪キャンセリング処理とを併用する、デジタル制御によるハイブリッド至補償方法であって、入力デジタル信号に、フレイクティオニストン処理を用いてデジタル信号処理を行い、そのデジタル信号に、変換後のアナログ信号を電力増幅器で増幅し、その増幅信号をデジタル信号に変換し、その変換後の信号に基づき、前記フレイクティオニストン処理のフレイクティオニストン特性を適応的に制御する第1のスケッチと、前記フレイドフワード方式の歪キャンセリング処理を行う回路のメインパスに入力される前記電力増幅器の出力信号と、フレイドフワード方式の歪キャンセリング処理を行う回路の各々をデジタル信号に変換し、変換後の各々の信号の特性をデジタル信号処理を用いて測定し、その測定結果に基づき、前記各変換後の信号の特性が同じになるように、前記基準信号の利得、位相および遅延の少なくとも一つを調整する第2のスケッチと、

前記フレイドフワード方式の歪キャンセリング処理を行う回路における、前記フレイドフワード方式の信号をデジタル信号に変換し、このデジタル信号と前記基準信号との相関検出を行って前記フレイドフワード方式の信号に含まれる基準信号の漏れ量を測定し、その測定結果に基づき、前記第2のスケッチにおける調整の結果を決定する第3のスケッチと、

を決定する第3のスケッチと、前記フレイドフワード方式の歪キャンセリング処理を行う回路の出力信号をデジタル信号に変換し、変換後のデジタル信号の所定の特性が、許容される範囲内にあるか否かをデジタル信号処理を用いて監視する第4のスケッチと、を含むことを特徴とするハイブリッド至補償方法。

【請求項4】 請求項3において、前記第2のスケッチにおける、変換後の各々の信号の特性をデジタル信号処理を用いて測定する処理は、前記変換後の各々の信号と前記基準信号との相互相関を検出し、検出された相互相関の振幅の平均値を測定し、その測定結果を用いて、前記変換後の各々の信号についての位相情報を得る処理、あるいは、

前記変換後の各々の信号の二乗値を求め、求められた二乗値に基づき、各信号の利得情報および遅延情報を得る処理の、少なくとも一つを含むことを特徴とするハイブリッド至補償方法。

【請求項5】 請求項3において、前記第4のスケッチにおける前記監視は、前記変換後のデジタル信号の周波数スペクトルを測定し、その周波数スペクトルが所定の歪シフト範囲内に抑圧されているか否かを判定する処理を含むことを特徴とするハイブリッド至補償方法。

【請求項6】 請求項3において、前記第4のスケッチの前記監視は、前記変換後のデジタル信号を離散フーリエ変換し、その離散フーリエ変換の結果からバスバンド密度関数を算出し、算出されたバスバンド密度関数と所定のエンベロープ関数との比較を行ない、これにより歪補償の良/不良を判定する処理を含むことを特徴とするハイブリッド至補償方法。

【請求項7】 請求項3において、前記第4のスケッチにおける前記監視を行っている期間では、前記第1のスケッチにおける前記適応的なフレイクティオニストン特性の調整動作、ならびに前記第2のスケッチにおける前記基準信号の利得、位相および遅延の少なくとも一つを調整する動作が併行されることを特徴とする至補償方法。

【請求項8】 請求項3において、前記第1のスケッチにおける前記フレイクティオニストン処理の前記フレイクティオニストン特性を適応的に調整する処理は、前記フレイクティオニストン処理に含まれるルックアップテーブルの出力データを更新する処理であることを特徴とするハイブリッド至補償方法。

【請求項9】 請求項3において、前記第2のスケッチにおける前記調整が正確に行われていないと判定されたときには、所定の調整がなされたことを特徴とするハイブリッド至補償方法。

【請求項10】 請求項3において、

イーロードフォワード方式の亜補償を可能とするための、デジタル制御を用いた、フィードフォワードループ特性の調整スデックを含む。

【0020】本発明のハイブリッド型複合機は、

【0020】また、本発明のハイブリッド至補償装置は、電力増幅部の非線形特性とは逆特性の歪を予め対して、電力増幅部が至補償回路と、この適応プリディストーション回路が至補償回路と、この適応プリディストーション回路が至補償回路と、をすることができない歪成分をフィードバック回路と、によって検出するフィードバック回路と至補償回路と、を有し、フィードバック回路と至補償回路には、2つの信号を個別に入力できるような2つの信号入力点が存在して、一方の信号入力点には、前記プリディストーション回路による適応プリディストーション処理された信号を入力し、他方の信号入力点には、前記適応プリディストーション回路による適応プリディストーション処理をする前の前記入出力デジタル信号に対応する基準信号を入力することにより、戻り回路を、全々の回路の性能を最大限に引き出すことができて、至補償回路は、デジタル信号で構成される。また、本発明のハイブリッド至補償回路は、デジタル信号の処理回路と高周波バウアログ回路をD/A変換器およびA/D変換器を含む信号経路を介して接続した戻り回路を構成しても、フルデジタル制御方式の新規な至補償回路である。

【0021】本発明のハイブリッド亜補償装置の好ましい一つの態様では、以下の①～⑥の処理を行い、下記の効果を得る。

【0022】①適応ブリディストーション処理を、デジタル信号処理にて行う。

【0023】デジタル信号処理によって、プリディストーションを実現するため、アナログ方式のプリディストーションに比べて高い精度の処理が可能である。

【0024】②フィードフォワード型補償回路から高周波アナログ信号を取り出し、取り出したアナログ信号を被アナログ信号に変換し、周波数スペクトル分析などの高度なデジタル信号処理を用いて、そのデジタル信号の所望の特性を極めて高精度に決定し、その測定結果を全体の回路の制御、監視の基礎とする。

【025】つまり、アナログ信号処理とは比較にならない、高精度なデータを基盤として制御、監視を行うため、適応ブリディストーション処理機能およびフィードバックワード至補償処理機能のそれぞれが格段に向上し、至補償能力が飛躍的に向上する。

【0026】③歪補償処理を複数のステージに分け、各ステージを、シーケンシャルに制御する。

【0027】通信環境は刻々と変化するものの、短時間で見れば、ある期間内では信号の特性は変化しないと見ることができ、この点に着目し、複数のステーションを、所定の手順に従ってシーケンシャルに実行することで、デジタル制御によって無理なく行えるようになる。

【0028】④複数のステーションは、例えば、適応プロパゲーション処理を用いる第1のステーションと、フィードバック制御に依拠して独立に実行される2つの信号、すなわち非線形歪を含むメインパスへの入力信号と、非線形歪を含まない基準信号（フィードフォワードループ）に形成される信号とを有する。第1のステーションは、第2のステーションと比べるべく調整を行う第2のステーションと、第2のステーションによる調整の成果を確認する第3のステーションと、フィードバックループに接続された信号の特性を監視する第4のステーションを含む。

【0029】フィードフォワード型至補償回路の2つの欠点
を立しした入力信号の特性を考慮に増える遅延を減らす実用性
のため、前段のプリディスターション回路の存在に起因
する、前段のプリディスターションによる影響を排除するこ
とができる。よって、通じプリディスターションとフィ
ードフォワード型至補償の両者の精度が確保され、処理
の相対的遅延によって、飛躍的に至補償性能を上昇するこ
とが可能となる。

【0030】すなわち、ディジタル制御の適応リディ
ストーション至補償回路は、A/D変換器やD/A変換
器のサンプリング周波数の群域の外に広がる低レベルの
高次IM至成分（相互変調至成分）については、取り除
くことはできない。

【0031】しかし、サンプリング周波数の帯域内であれば、高レベルの歪成分である、電力増幅器の低次の歪成分を高い安定性をもって取り除くことができる。そして、残留する低レベルの高次IM歪成分に、高精度のフーリエドワード歪補償処理にて効果的に取り除けられ、広帯域の信号についての安定した高精度の歪補償が実現される。

【0032】また、歪が精度よく抑圧されているため、フィードワード歪補償回路内のフィードワードループに設けられているエラーアンプの利得を下げるこ
とができ、消費電力の低減に役立つ。

【0033】⑤上述のような第1～第3のステップを要して、至極微調整(第4のステップ)に移行するが、至が所定の範囲に拘限されている限り、プリデスティンーション特性の適応的な調整やフィードフォワードで強微調整の入り易さが特性調整は行われ、この期間では、各回路の特性が固く固定である。したがって、常時、適次制御を行うように固く固定である。この点でも、消費電力の削減が可能である。

【0034】⑥また、近年の移動体通信機器が、通常備わっているデジタル信号処理機能（相関検出、電力測定とといった機能）を利用することができるため、本発明の歪み補償方法を実施することは比較的容易であり、実用価値が高い。

【0035】
【発明の実施の形態】以下、本発明の実施の形態について

て、図面を参照して説明する。

【0036】（実施の形態1）近年のW-CDMA方式のマルチキャリア通信では、他の方式の移動体通信に比べて高周波数帯域増幅器（パワープンプ）に対する線形性がより高い要求される。そのため、適応プリディストーションなどの歪補償技術により、パワープンプの線形性を補償しないや電力効率が極端に悪化する。

【0037】パワーアンプの入力信号は、例えば、15～20MHzの帯域幅をもつ。よって、至成分の帯域も、100～200MHz程度にまで広がる。

【0038】この至成分を適応ブリディストーションた
けで補償するためには、ブリディストーション処理を施
したデジタル信号を、少なくとも至成分の帯域と同じ1
00～200MHz程度のサンプリング周波数でD/A
変換する必要がある。

【0039】また、適応ブリディストーション処理を行う
おうとすると、パワーアンプの出力信号をデジタル信号
処理系に帰還させる必要があるため、同様に、少なくと
も至成分の帯域と同じ100~200MHz程度のサン
プリング周波数でA/D変換を行う必要がある。

【0040】そして、更に、W-CDMA方式の規格によると、D/A変換器やA/D変換器には、12ビット～16ビットにも及ぶ分解能が要求される。

【0041】現在の半導体技術では、高分解能（12～16ビット）を確保しつつ、100～200MHzで動作可能なD/A変換器やA/D変換器を製造することは非常に困難である。

【0042】また、仮に、そのようなD/A変換器やA/D変換器が製造できたとしても、動作時の電源消費量は莫大のものとなる。このことは、電力効率を向上させようとする至補償とは逆行することになる。

【0043】このため、本実施の形態では、適応ブリッジイストージョン処理を適用する信号（ペルスバンド入力信号）の帯域は、 D/A 変換器や A/D 変換器における12～16ビットの分解能を達成できる周波数に限定する。

【0044】そして、それ以上の高い周波数の帯域に発生する歪（高次歪）を、デジタル信号処理により正確に特性調整をなされたフィードバック回路によって、効果的に取り除く。

【0045】これにより、既存のLSI技術を用いて、従来不可能であった極めて高精度の歪補償が可能となる。

【0046】以下、図1～図7を用いて、実施の形態1にかかる歪補償回路の特徴、構成および動作を説明する。

【0047】図1は、本発明の実施の形態1にかかるへリッド歪補償装置の基本的な構成を示す回路図である。

【0048】図示されるように、このハイブリッド歪補

[illegible]

【0049】そして、デジタル信号処理系とアナログ信号処理系との間で信号の授受を行うための信号経路には、D/A変換器20、56と、A/D変換器28と、周波数変換回路(RFキャリア変換器24、ミキサ22、26、58を構成要素とする)が介在している。

【0050】フィールドワード至補償回路30は、図1に示すように、逐成分（プリディストーション歪補償）を示されるように、逐成分（プリディストーション歪補償）を除去せずに残留している補正成分）を含む信号をメインパスに付与するための入力端TA1と、至を含まない基準信号を付与するための入力端TBに入力する、入力端TA1と結合部38とを結ぶ導路のことである。

【0051】また、フィードフォワードループは、信号増幅率を調整するものや至成分を分離するための結合器42と、至成分の信号を増幅するエーリアンプ48と、エーリアンプ48の出力信号の位相を反転するための移相器50と、移相器50の出力信号をメインバスに帰還させるための結合器38と、を具備する。

【0052】本ハイブリッド至補装置は、ペーパードジタル信号に対して適応ブリディストーション処理を行う適応ブリディストーション部14と、フィードバックワード至補回路とを統合したハイブリッド構成を有する。

【0053】ただし、これらを単純に組み合わせることは不可能である。

【0054】そこで、図1の回路では、フィードバック回路30に、2つの入力端TA1、TA2を設け、各々、高周波電力増幅器32の出力信号（フィードバック成分を含む信号）と、除を含まない通信信号とをそれぞれ独立に入力する新規な構成を採用し、タイプの異なる変調回路の複合化を可能とした。

【0055】ハイブリッド歪補償方法における歪補償処

理は、2つの処理に大別される。

【0056】つまり、フルデジタル制御の適応ブリディストーション至補償にて、D/A変換器20、56やA/D変換器28のサンプリング周波数帯域内の、高レベル至成分である高周波電力増幅器の低次の至成分を高レベルの安定性を持つ取り除く。

【0057】そして、残留する低レベルの高次1M至成分(サンプリング周波数帯域の外の成分)を、フィードバック至補償処理で取り除く。これにより、従来にない、高精度の広帯域至補償が実現する。

【0058】ここで、問題となるのは、アナログ回路を用いたフィードバック至補償の精度が高くないと、適応ブリディストーション至補償で取り除くことができなくなった低レベルの高次1M至成分の除去が不十分となり、本発明がめざす、至低至精度の信頼的な向上を達成できないことである。

【0059】フィードバック至補償回路30における高精度の至除去は、2つの入力端TA1、TA2に入力される2つの信号の入力レベル(振幅)、位相、遅延が完全に一致していることを前提として実現される。

【0060】そこで、図1の至補償回路(ハイブリッド至補償回路)は、フィードバック至補償回路30に入力される2つの信号の振幅等を完全に一致させるための調整を行う調整機構が設けられており、この点は、本発明の至補償回路の極めて重要な特徴である。

【0061】つまり、図1の至補償回路では、適応ブリディストーション処理においては、フィードバックパス(フィードバック至補償処理後の信号を適応ブリディストーション部14に返すための信号経路)が必須であることに着目し、このフィードバックパスを活用して、フィードバック至補償回路30の2つの入力信号(図1の信号A1、A2)や、フィードバックワードループの信号(図1の信号A3)を、デジタル信号処理系に戻す。

【0062】そして、制御・監視部60にて、高精度なデジタル信号処理を用いて、フィードバック至補償回路30の2つの入力信号間の、振幅(利得)、初期位相、伝送遅延の差分(少なくとも、いずれかの特性についての差分)を厳密に測定する。

【0063】次に、振幅等の調整部51にて、測定された差分がなくなるように、基準信号(至補償回路の入力信号(1N))の振幅、位相、遅延の少なくとも一つ(複数)には、これらの特性すべてを調整するのが好ましいと認識する。

【0064】これにより、フィードバック至補償回路30の2つの入力信号間の、振幅(利得)、初期位相、伝送遅延といった特性が完全に一致し、高精度のフィードバック至補償を行うための条件が整う。

【0065】また、フィードバック至補償回路30に入力される高周波電力増幅器32の出力信号は、プリ

ディストーション至補償によって高レベルの至が除去された信号である。

【0066】したがって、フィードバックワードループ中に介在するエラーアンプ48には、高レベルの至成分が入力されないことになる。よって、エラーアンプの電力増幅率を低めに設定することができる。このことは、消費電力の低減に貢献する。

【0067】ブリディストーション処理およびフィードバック至補償回路30の2つの入力信号の特性調整が終了すると、スイッチ回路SWからは、フィードバックワードループの出力信号(図1の信号A4)が出力され、デジタル信号処理系に戻される。

【0068】そして、制御・監視部60は、この帰還信号の特性を監視し、所望の至補償精度が確保できなくなったとき、ブリディストーション処理およびフィードバック至補償回路30の2つの入力信号の特性調整を再度、順次、実行する。

【0069】信号処理の順序は、シーケンサ80により制御される。

【0070】以下、図2～図5を用いて、本実施の形態における至補償処理の主要なステータス(処理段階)ならびに各ステータスにおける回路動作を説明する。

【0071】(適応ブリディストーション処理ステータス) 図2は、適応ブリディストーション処理ステータスにおける特徴的な動作を、太い矢印で示している(以下の説明で使用する図3～図5でも同様である)。

【0072】スイッチ回路(SW)はシーケンサ80からの制御信号(P2)により、d端子側に切り替えられている。

【0073】シーケンサ80は、適応ブリディストーション処理部14および制御・監視部60に、スイッチ回路(SW)の状態を伝える信号(スイッチステータス信号P1)を与える。

【0074】適応ブリディストーション処理部14は、現在のスイッチ回路(SW)がd端子側に切り替えられていることから、現在のステータスが、適応ブリディストーション処理のステータスであることを認識する。

【0075】以下、図1中、太い矢印で示される信号伝達経路に沿って、回路動作を説明する。

【0076】入力信号(無縁送信の對象となる信号)1Nは、適応ブリディストーション部14にてブリディストーション処理を経た後、D/A変換器20にてデジタル信号に変換され、周波数変換回路(22、24)でアップコンバートされた後、高周波電力増幅器32にて増幅され、フィードバック至補償回路30の入力端TA1に入力される。

【0077】この入力信号には、ブリディストーション至補償では除去できなかった至成分が重複されている。

【0078】スイッチ回路(SW)はシーケンサ80の

制御により、d端子側に切り替えられている。フィードバックワードループ30の入力端TA1に入力された信号はスイッチSWから選択的に出力される(信号A1)。

【0079】この信号A1は、周波数変換器(26、24)、A/D変換器28を経由して、デジタル信号処理系に戻される。

【0080】この戻された信号(すなわち帰還信号)に基づき、適応ブリディストーション部14では、ブリディストーションの特性を適応的に更新する(具体的な方式については図8を用いて、後に具体的に説明する)。

【0081】また、この帰還信号は、監視・制御部60にも与えられる。この監視・制御部60の測定部70は、デジタル信号処理を用いて、帰還信号の信号レベル(振幅、利得)、位相、遅延の各特性を測定し、その測定結果をメモリ71に、一時的に記憶する。

【0082】適応制御(ブリディストーション処理の制御パラメータの更新)が終了すると、適応ブリディストーション部14は、ステータス終了を知らせるステータス信号(SE1)をシーケンサ80に送る。

【0083】(フィードバック至補償回路の2つの入力信号の特性を揃えるステータス) 図3は、2つの信号の特性を調整するステータスの回路動作を説明するための図である。

【0084】本ステータスでは、シーケンサ80からの制御信号P2により、スイッチ回路(SW)は、a端子側に切り替えられる。

【0085】また、シーケンサ80は、適応ブリディストーション処理部14および制御・監視部60に、スイッチ回路(SW)の状態を伝える信号(スイッチステータス信号P1)を与える。

【0086】制御・監視部60は、現在のスイッチ回路(SW)がa端子側に切り替えられていることから、現在のステータスが、フィードバック至補償回路の2つの入力信号の特性を揃えるステータスであることを認識する。

【0087】入力信号(1N)が、調整部51を経て、D/A変換器56にてアナログ信号に変換され、続いて、周波数変換回路(26、58)にてアップコンバートされる。

【0088】アップコンバートされた信号は、フィードバックワードループ30の入力端TA2に基準信号として入力され、その基準信号(信号A2)は、スイッチ回路SWから選択的に取り出され、周波数変換器(26、24)、A/D変換器28を経由して、デジタル信号処理系に戻される。

【0089】制御・監視部60の測定部70は、その戻された信号(帰還信号)の信号レベル(振幅、利得)、位相、遅延の各特性を測定する。

【0090】次に、比較部73が、その測定結果を、メ

モリ71に一時的に記憶されている前ステータスにおける測定結果と比較し、差分を算出する。

【0091】そして、その差分を無くなるように、調整部51にて、入力信号(1N)のレベル、位相、遅延を調整する。

【0092】この調整が正確に行われたとすると、フィードバック至補償回路30の入力端TA2に与えられる基準信号の特性は、高周波電力増幅器32の出力信号の特性とほぼ完全に一致する。

【0093】制御・監視部60は、この調整が完了すると、シーケンサ80に、ステータス終了信号SE2を送る。

【0094】(特性調整の効果を確認するステータス) 前ステータスにおいて、フィードバックワードループ30の2つの入力信号の特性を揃えるべく、調整部51により、入力信号(1N)のレベル、位相、遅延を調整した。

【0095】しかし、その調整の結果、実際に2つの入力信号の特性が一致したかどうかは明らかではなく、この確認をしないで、最終ステータスである監視ステータスに移行するのは、リスクが伴う。よって、本ステータスにて、調整の成果を確認する。

【0096】図4は、2つの信号の特性を揃えるべく調整した結果を確認するステータスを説明するための図である。

【0097】本ステータスでは、シーケンサ80からの制御信号P2により、スイッチ回路(SW)は、b端子側に切り替えられる。また、シーケンサ80は、適応ブリディストーション処理部14および制御・監視部60に、スイッチ回路(SW)の状態を伝える信号(スイッチステータス信号P1)を与える。

【0098】制御・監視部60は、現在のスイッチ回路(SW)がb端子側に切り替えられていることから、現在のステータスが、フィードバック至補償回路の2つの入力信号の特性が、実際に、揃っているかを認識するステータスであることを認識する。

【0099】フィードバックワードループ30の2つの入力信号の特性が揃っているのならば、フィードバックワードループには至成分の信号のみが得られるはずであり、すなわち、結合回路46で、メインパスの信号(基準信号)と等価な信号に非線形歪みが現れるはずであり、歪みを減算した後の信号には、至成分のみが含まれ、基準信号が漏れこむ(リークする)ような事態は生じないはずである。

【0100】そして、至成分のレベルは、適応ブリディストーション至補償の効果により十分に抑圧されているはずである。

【0101】したがって、結合回路46で、メインパスの信号から基準信号を減算した後の信号と、基準信号との相関値を求め、その相関値の電力を計算し、その電力

値が大きい値を超えているならば、フィードフォワード至補償回路300の結合回路600の出力信号に、基準信号の成分が許容値を超えて漏れ込んでいる(つまり、減算によって除去されずに基準信号の成分が相当量含まれている)ことになる。

【10102】つまり、直前のステージにおける2つの信号の調整ミスによって、至成分の他、許容値を超える基準信号の漏れ成分(リーク成分)も含まれているということになる。

【10103】本ステージでは、このようなチェックを行い、良好なチェック結果が得られない限り、シーケンサ80は、何回でも、直前のステージ(2つの信号の特性を揃えるための調整ステージ)を繰り返し実行させることになる。

【10104】図4に太い矢印で示される本ステージにおける特徴的な動作は、図3に示される動作とほぼ同じである。

【10105】すなわち、フィードフォワード至補償回路300の結合回路46にて、メインパスの信号から基準信号を減算した後の信号(至成分の信号A3)が、スイッチ回路SWから選択的に出力され、デジタル信号処理系に帰還される。

【10106】そして、制御・監視部600の調整終了判定部74にて、帰還信号と基準信号との相関値を求め、その相関値の電力を計算し、その電力が所定のしきい値を超えているかチェックすることにより、基準信号の漏れ成分の量が、許容範囲内にあるか否かを判定する。

【10107】制御・監視部600は、このチェックが終了すると、そのチェック結果(OK/NG)を示す信号Q1を、シーケンサ80に送出する。また、これと並行して、制御・監視部600は、本ステージの終了を示すステートメント信号SE3を、シーケンサ80に送出する。

【10108】シーケンサ80は、制御・監視部80から送られてきたチェック結果を示す信号Q1がOKであるかNGであるかを確認し、OKであれば、最終ステージである監視ステージに移行させるべく、スイッチ回路(SW)をc端子側に切り替える。

【10109】一方、NGであれば、スイッチ回路(SW)の切り替えを行わず、図3の調整ステージをもう一度、実行させ、続いて、再度、図4のチェックを実行させる。

【10110】このような極めて念入りな調整を行うのは、アナログ方式のフィードフォワード至補償が、D/A変換やA/D変換のサンプリング周波数に起因してデジタル方式の至補償では取り除くことができない、微小なレベルの高次の歪を、効果的に除去するという重要な役割を担うからである。

【10111】(監視ステージ) 図5は、監視ステージ(至補償処理の最終ステージ)を説明するための図である。

【10112】本ステージでは、シーケンサ80からの制御信号P2により、スイッチ回路(SW)は、c端子側に切り替えられる。

【10113】また、シーケンサ80は、適応プリディストーション処理部14および制御・監視部60に、スイッチ回路(SW)の状態を伝える信号(スイッチステータス信号P1)を与える。

【10114】制御・監視部60は、現在のスイッチ回路(SW)がc端子側に切り替えられていることから、現在のステージが、フィードフォワード至補償回路300の出力信号に含まれる歪の抑圧状態(周波数スペクトル分析による歪の分布が、許容される範囲内に収まっているか否か)を監視するステージであることを認識する。本ステージでは、本実施の形態の至補償回路の最終出力信号(信号A4)をスイッチ回路(SW)から選択的に取り出し、デジタル信号処理系に帰還させる。制御・監視部600の監視部62では、帰還信号の周波数スペクトル情報と、所定のエミシジョンマスクと比較することにより、帰還信号の周波数マスクと、所定のエミシジョンマスク内に抑圧されているか否かを監視する。

【10115】制御・監視部60は、周期的に監視を実行し、1回の監視動作が終了する毎に、その監視の結果(OK/NG)を示す信号Q2をシーケンサ80に送る。

【10116】シーケンサ80は、制御・監視部60から受け取る信号Q2がOKを示している限り、監視動作を継続する。

【10117】この監視動作が継続している状態では、プリディストーション至補償の適応的な制御は停止され、適応制御のための回路が動作しない分、消費電力の削減に役立つ。

【10118】一方、シーケンサ80は、制御・監視部60から受け取る信号Q2がNGを示している場合には、図2に示される適応プリディストーションステージを再度、実行させ、以降、図3および図4のステージを順次、実行させる。

【10119】以上の各ステージの流れを、時系列的に示すと図7のようになる。

【10120】すなわち、まず、適応プリディストーション処理を行う(時刻t1)。

【10121】次に、フィードフォワード至補償回路におけるフィードフォワードループの調整(基準信号の特性をメインパスの信号の特性に合わせる調整)を行い(時刻t2)、その調整の特性の判定処理(基準信号のリーク量の測定処理)を行う(時刻t3)。

【10122】この判定の結果、基準信号の成分が許容値を超えて漏入している場合には、フィードフォワードループの調整をやり直す。

【10123】そして、フィードフォワードループ調整が完了した後、時刻t4から監視ステージに移行する。監視ステージでは、シーケンサ80からの制御信号P2により、スイッチ回路(SW)は、c端子側に切り替えられる。

【10124】次に、測定された周波数スペクトルを、所定の基準マスクパターン(エミシジョンマスクパターン)と比較し、周波数軸上での歪の抑圧状態をチェックし、周波数スペクトルに抑圧されているならば、そのまま監視を続行する。この間、プリディストーション処理のルックアップテーブル(LUT)の適応更新は行わない。

【10125】時刻t5において、監視の結果、NGと判定されたとき、時刻t1〜時刻t4までの一連のステップ(調整ステップ)を再度、シーケンシャルに実行する。

【10126】本実施の形態の至補償方法(適応プリディストーション処理)フィードフォワード至補償を組み合わせたハイブリッド方式の至補償方法)における、主要な処理状態ならびに主要な動作を図6に示す。

【10127】まず、スイッチ回路(SW)をd端子側に切り替え、適応プリディストーション処理を行う(状態1、ステップ100)。

【10128】次に、スイッチ回路(SW)をa端子側に切り替える。

【10129】そして、フィードフォワード至補償回路における2つの入力信号(メインパスへの入力信号と基準信号)間の利得(振幅)、遅延、位相のインバランスを測定し、そのインバランスを解消するべく、基準信号の特性の調整を行う(状態2、ステップ102)。

【10130】次に、スイッチ回路(SW)をb端子側に切り替え、状態2における調整の結果をチェックするための状態3に移行する。

【10131】この状態3では、フィードフォワードループにおける歪信号以外の基準信号の成分の電力値(基準信号の漏れ(リーク)量)を測定する(ステップ104)。そして、そのリーク量がしきい値を超えているか否かを判定し(ステップ106)、NGならばステップ100に戻り、OKならば、状態4に移行する。

【10132】状態4では、スイッチ回路(SW)はc端子側に切り替えられる。そして、至補償回路の最終出力信号を周波数スペクトル測定し、所定の基準マスクパターン(エミシジョンマスクパターン)と比較し、周波数軸上での歪の抑圧状態を判定する(ステップ108)。

【10133】その判定の結果、周波数スペクトルが許容範囲内に抑圧されているならば(ステップ110)、そのまま監視を続行し、そうでなければ(ステップ110)、調整結果判定部74(図4の調整終了判定部74と同じ調整結果判定部74)の調整結果を判定する。

【10134】(実施の形態2) 図8〜図10を用いて、至補償回路の、より具体的な構成例、および特徴的な回路動作を説明する。

【10135】図8に示される至補償回路の基本的な構成は、図10の至補償回路の構成と同じである。ただし、図8では、図1において一つの機能ブロックとして示されていた部分について、より細分された機能ブロックを示すと共に、各部の回路構成をより具体的に記載してある。

【10136】また、図8では、理解の容易のために、信号の周波数特性の例と、信号の周波数スペクトルの例を併記している。

【10137】なお、図8の回路において、図1の回路と同じ部分には同じ参照符号を付している。

【10138】適応プリディストーション部14は、適応アルゴリズム18と、制御データを記憶しているルックアップテーブル(LUT)18と、乗算器13と、遅延器12とを具備する。

【10139】適応アルゴリズム12は、アナログ信号処理系から帰還された帰還信号と、遅延器12により、入力信号(IN)を、帰還信号が戻ってくるまでに要する時間だけ遅延させた遅延信号との差分を求めることで、残留歪成分を抽出する。

【10140】そして、残留歪成分を減減するべく、ルックアップテーブル(LUT)16を更新し、LUT16から出力される制御データを、乗算器13にて入力信号(IN)に乗算して、適応プリディストーション処理を行う。

【10141】この結果、高周波電力増幅器32の周波数特性とは逆の特性の歪が、意図的に入力信号(IN)に与えられる。

【10142】高周波電力増幅器32の非線形特性に起因する歪に関して、プリディストーション処理の効果で、広い周波数領域に渡ってかなり補償される。しかし、高周波数領域における非線形性は補償できない。

【10143】フィードフォワード至補償回路300は、プリディストーション処理により除去できない高次の歪を除去するために設けられる。図中、参照符号34、40および46は分波器であり、また、参照符号36は、タイミング調整のための遅延線である。

【10144】フィードフォワード至補償によって高次の歪を除去することにより、出力信号(OUT)に関して、は、きわめて広い帯域に渡って直線性が保証される。

【10145】制御・監視部60は、制御を担当するブロックとして、利得(振幅)・位相・遅延インバランス測定部70(図2の測定部70と同じであるため、同じ参照符号を使用する)と、調整器51による入力信号(IN)に対する調整動作を制御する利得・位相・遅延調整部72と、調整器51による調整の結果を判定する調整結果判定部74(図4の調整終了判定部74と同じ調整結果判定部74)を有する。

【10146】調整結果判定部74は、フィードフォワードループに現われる基準信号の漏れ(リーク)成分の量が、リークしきい値を上回るか否かを判定する。

【10147】また、制御・監視部60は、監視を担当す

るブロックとして監視部62を有し、この監視部62は、FFTアナライザ64と、FFT演算の結果に基づいてパワースペクトル密度(PSD)を計算するPSD計算部と、スペクトル抑圧判定部68とを、有する。

【0148】スペクトル抑圧判定部68は、例えば、W-CDMA通信の規格で定められている各種のエミッションマスクパターンを用いて、パワースペクトル分布が、そのエミッションマスクパターン内に抑圧されているか否かを判定する。

【0149】また、入力信号(1N)の振幅・位相・遅延を調整する調整部51は、可変遅延回路52と、係数を乗算することにより入力信号(1N)の位相・振幅を調整する回路54とを、有する。

【0150】可変遅延回路52と位相・振幅調整回路54の特性は、それぞれ、利得・位相・遅延制御部72から出力される制御信号C1、C2によって制御される。

【0151】シーケンス80には、一つの処理ステージの終了を示すステートメント信号SE1~SE3と、判定の結果(OK/NG)を示す信号Q1、Q2とが入力される。

【0152】シーケンス80は、これらの入力信号に基づいて、次に行うべき処理を認識し、スイッチ制御信号Pをスイッチ回路(SW)に送出してスイッチの切り替えを制御する。また、スイッチ状態情報(P2)を各部に送り、スイッチ回路(SW)の現在の切り替え状態を通知する。これにより、各部は現在の処理ステージを知ることができる。

【0153】図9に、利得・位相・遅延インパランス調整部70の内部の具体的な構成例を示す。

【0154】増速倍率の利得(振幅)は、A/D変換器28の変換出力信号(増速信号)の2乗を2乗計算部20で計算し、積分器30で積分することにより求めらる。図9中、求められた利得は、参照信号Y1で示される。

【0155】求められた利得(フィードフォワード至補償回路30のメインパスの信号の利得)Y1は、一旦、メモリ71に保存される。

【0156】そして、次の処理ステージにおいて、基準信号についての利得が求められた時点で、加算器272において、減算処理を行い、先に求められた利得と今回の利得との差分(利得差)が求められる。

【0157】増速倍率の位相は、入力信号1N(基準信号)との相対的な位相差の情報として求められる。

【0158】すなわち、相関部230により、入力信号1N(基準信号)と増速信号との複素相関を求め、計算部210にて、相関値の直交成分と同相成分の比のアーグメントを計算することによって位相Y2が求まる。

【0159】求められた位相(フィードフォワード至補償回路30のメインパスの信号の利得)Y2は、一旦、メモリ71に保存される。

【0160】そして、次の処理ステージにおいて、基準信号についての利得が求められた時点で、加算器274において、減算処理を行い、先に求められた位相と今回の位相との差分(位相差)が求められる。

【0161】また、増速倍率の遅延は、例えば、CDMA方式の送信信号の特有の性質を利用して測定することができる。例えば、W-CDMA方式の移動体通信のデジタル変調信号では、シンボルレート(チップレート)の1/2の周波数成分の付近に、シンボル(チップ)タイミング情報を保持した正弦波成分が存在する。

【0162】そこで、増速倍率の2乗を2乗計算部20で求め、その2乗値に対して、被演算部212にて、スーパーヘテロダイン検波を行って正弦波成分を抽出し、積分器214で積分した後、計算部216にて、直交成分と同相成分の比のアーグメントを計算することによって遅延が求められる。求められた遅延(フィードフォワード至補償回路30のメインパスの信号の利得)Y3は、一旦、メモリ71に保存される。

【0163】そして、次の処理ステージにおいて、基準信号についての利得が求められた時点で、加算器276において、減算処理を行い、先に求められた遅延と今回の遅延との差分(遅延差)が求められる。

【0164】また、基準信号の特性の調整の結果を判定するステージにて、増速信号に含まれる基準信号成分のリンク量は、相関部230で求められた相関値の2乗を、2乗計算部202で求め、積分器204で積分することにより測定される。

【0165】そして、スペクトル抑圧判定部206は、求められたリンク量が、リークしきい値を上回っているか否かを判定する。

【0166】図10に、状態1(ステージ1)および状態4(ステージ4)における、最終出力信号(OUT)の周波数特性(図中、(a)で示される)と、周波数ベクトル(図中、(b)で示される)を示す。

【0167】状態1(適応プリディクション処理のステージ)では、高次の歪は、完全には除去できない。

【0168】しかし、状態2、3を経て、状態4(監視ステージ)に移行し、フィードフォワード至補償を用いた至補償が行われると、監視状態350のように、広い帯域に渡って、ほぼ完全に歪を除去することが可能である。

【0169】監視状態351は、エミッションマスク(M)による周波数ベクトル抑圧判定の結果が良好な場合を示している。

【0170】そして、監視状態352のように、周波数ベクトルの一部が、エミッションマスク(M)からみ出し(はみ出し)部分にERRという参照符号を付している1/2の周波数成分の付近に、シンボル(チップ)タイミング情報を保持した正弦波成分が存在する。

【0171】(実施の形態3)図11は、本発明の至補償装置を備える、W-CDMA方式のマルチキャリア送信装置を示すブロック図である。図11では、説明の便宜上、前掲の図面と同じ部分には、同一参照符号を付している。

【0172】図示されるように、マルチキャリア送信装置は、マルチキャリア・ベースバンド・プロセッサ30と、本発明の至補償装置400とを、具備する。

【0173】マルチキャリア・ベースバンド・プロセッサ30は、FIRローパスフィルタ301~303と、係数乗算器304、305と、合成器306とを、具備する。

【0174】至補償装置400は、デジタル信号処理系310と、デジタル/アナログインタフェース系318と、本発明のフィードフォワード至補償装置30(フィードフォワードアンドアップ320とスイッチ回路SWとを構成要素として含む)とを、有する。

【0175】デジタル信号処理系310は、適応プリディクション部14と、制御・監視部60と、シーケンサ80と、周波数変換部311、314、315と、遅延器312、316と、FIRローパスフィルタ313とを、具備する。

【0176】また、デジタル/アナログインタフェース系318は、D/A変換器20、56と、A/D変換器28と、周波数変換器(22、26、58、24)と、ペンダスフィルタ(BPF)27、29とを、具備する。

【0177】図12(a)~(d)はそれぞれ、図11の回路における入力信号(キャリア波3)、プリディクション信号、フィードフォワード至補償における基準信号、出力信号の周波数スペクトルを示している。

【0178】この図から明らかなように、本発明によると、広い帯域に渡って、精度の高い至補償を行うことができる。

【0179】近年のW-CDMA方式のマルチキャリア通信では、他の方式の移動体通信に比較して高周波電力増幅器(パワーアンプ)に対する線形性がより高く要求される。このため、適応プリディクションなどの至補償技術により、パワーアンプの線形性を補償しない電力効率が極端に悪化する。

【0180】パワーアンプの入力信号は、例えば、15~20MHzの帯域幅を持つ。よって、高成分の帯域も、100~200MHz程度にまで広がる。

【0181】この高成分を適応プリディクションで補償するためには、プリディクション処理を施したデジタル信号を、少なくとも高成分の帯域と同じ00~200MHz程度のサンプリング周波数でD/A変換する必要がある。

【0182】また、適応プリディクション処理を行うおうすると、パワーアンプの出力信号をデジタル信号

処理系に帰還させる必要があるため、同時に、少なくとも高成分の帯域と同じ100~200MHz程度のサンプリング周波数でA/D変換を行う必要がある。

【0183】そして、更に、W-CDMA方式の規格によると、D/A変換器やA/D変換器は、12ビット~16ビットにも及ぶ分解能が要求される。

【0184】現在の半導体技術では、高分解能(12~16ビット)を確保しつつ、100~200MHzで動作可能なD/A変換器やA/D変換器を製造することは非常に困難である。

【0185】また、仮に、そのようなD/A変換器やA/D変換器が製造できたとしても、動作時の電源消費量は莫大なものとなる。このことは、電力効率を向上させるようにする至補償とは逆行することになる。

【0186】このため、本実施の形態では、適応プリディクション処理を適用する信号の帯域は、D/A変換器20、56やA/D変換器28における12~16ビットの分解能を達成できる周波数に限定する。

【0187】そして、それ以上の高い周波数の帯域に発生する歪(高次歪)を、デジタル信号処理により特性調整を行なったフィードフォワード至補償回路30によって、取り除く。

【0188】これにより、本発明によれば、既存のLSI技術を用いて、従来不可能であった極めて高精度の至補償が可能となる。

【0189】

【発明の効果】以上説明したように、本発明によれば、既存のLSI技術を用いて、回路の小型化・簡素化、低消費電力化、ロースト化といった要求を満たさつつ、無理なく、至補償回路の広帯域非線形歪に対する補償能力を、段階的に向上させることができる。

【0190】W-CDMAの規格である3GPP TS 25.104に規定されるカテゴリーA/Bのエミッションマスの帯域は、信号帯域を中心として、その上側および下側約1GHzまでカバーする極めて広い帯域となっている。このような広い帯域において発生する高次の歪成分は、通常の適応プリディクション回路では取り除くことは全く不可能であった。しかし、本発明を用いることで、このような厳しい要求にも応えることができるようになる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる至補償回路の基本的な構成を示す回路図

【図2】適応プリディクション処理ステージにおける、図1の至補償回路の特徴的な動作(信号の流れ)を説明するための図

【図3】フィードフォワード至補償回路の2つの入力信号の特性を揃える調整を行うステージにおける、図1の至補償回路の特徴的な動作(信号の流れ)を説明するための図

【図4】図3の調整の結果を帰還するステージにおける、図1の至補償回路の特徴的な動作（信号の流れ）を説明するための図

【図5】監視ステージにおける、図1の至補償回路の特徴的な動作（信号の流れ）を説明するための図

【図6】本発明のハイブリッド至補償方法（プリディストーション至補償とフィードフォワード至補償を併用したフルデジタル制御の至補償方法）における、主要な手順を示すフロー図

【図7】本発明のハイブリッド至補償方法の主要な動作手順を時間軸上で示す図

【図8】本発明の実態の形態2にかかる至補償回路の基本的な構成を示す回路図

【図9】図8の回路における、利得・位相・遅延インパランス調整部の具体的な構成の一例を示すブロック図

【図10】図8の回路の、状態1（ステージ1）および状態4（ステージ4）における、最終出力信号（OUT）の周波数特性と、周波数スペクトルを示す図

【図11】本発明の至補償装置を備える、W-CDMA方式のマルチキャリア送信装置の構成の一例を示すブロック図

【図12】（a）図11の回路における、入力信号の周波数スペクトルを示す図

（b）図11の回路における、プリディストーション信号の周波数スペクトルを示す図

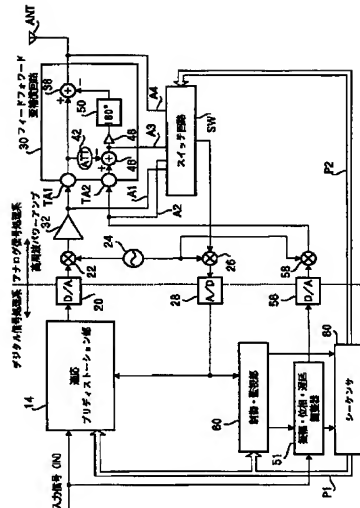
（c）図11の回路における、フィードフォワード至補償における基準信号の周波数スペクトルを示す図

（d）図11の回路における、出力信号の周波数スペクトルを示す図

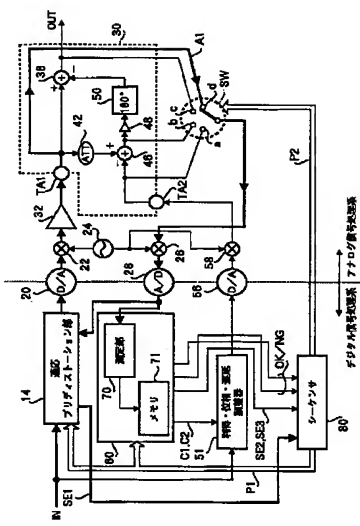
【符号の説明】

- 14 逆応プリディストーション部
- 20, 56 D/A変換部
- 22, 24, 26, 58 周波数変換部
- 32 高周波電力増幅器（パワートランプ）
- 30 フィードフォワード至補償回路
- 38, 46 結合器
- 42 アッデネータ
- 48 エラーアンプ
- 50 180° 移相器
- 51 振幅・位相・遅延・調整器
- 60 制御・監視部
- 80 シーケンサ
- SW 高周波スイッチ回路
- ANT アンテナ
- IN 入力信号
- P1 高周波スイッチ回路の切替情報
- P2 高周波スイッチ回路の切替制御信号
- A1 フィードフォワード至補償回路のメインパスへの入力信号
- A2 フィードフォワード至補償回路のフィードフォワードループに入力される基準信号
- A3 フィードフォワード至補償回路の2つの入力信号の特性調整の結果を判定するための信号
- A4 至補償回路の最終出力信号

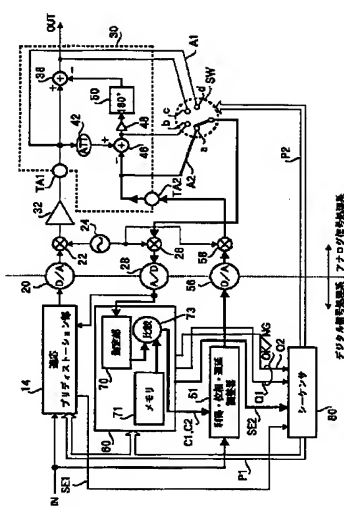
【図11】



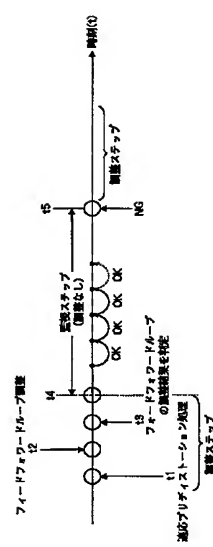
【図2】



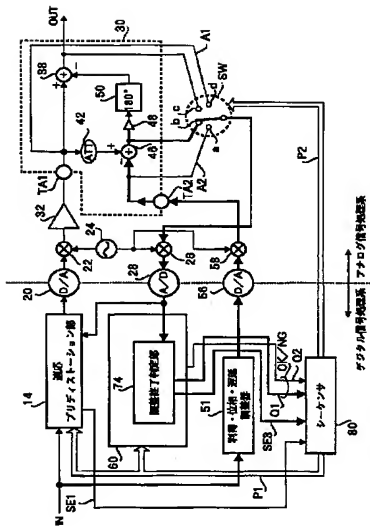
【図3】



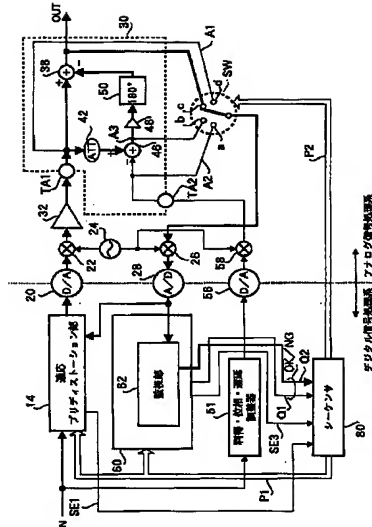
【図7】



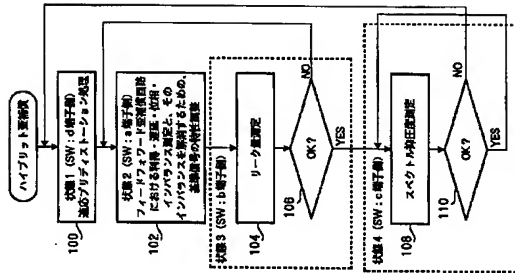
【図4】



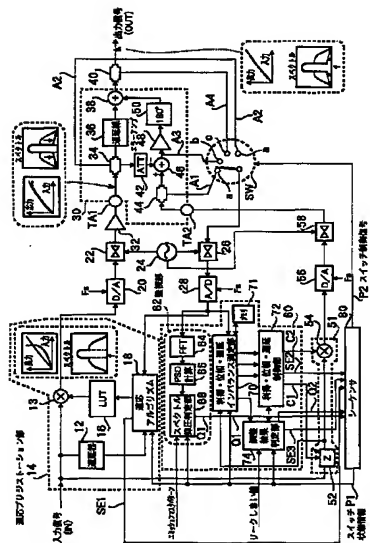
【図5】



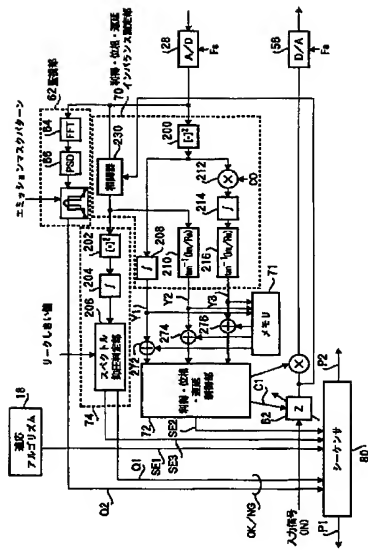
【図6】



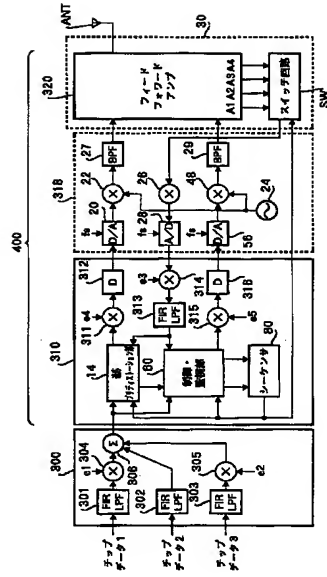
【図8】



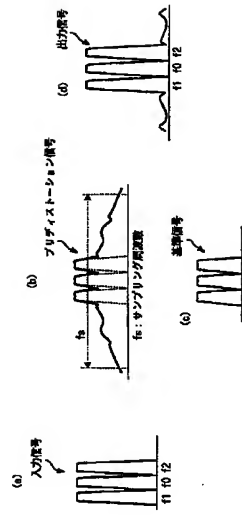
【图9】



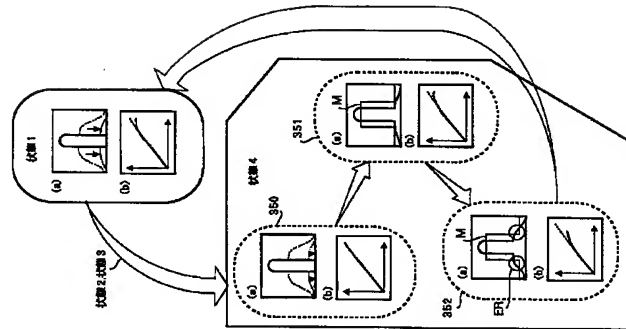
【图 1-1】



【图12】



【☒10】



フロントページの続き

F. 夕一A (參考)

5J090	A001	A441	C121	C436	C461
	C492	F120	Q003	Q307	H438
	K400	M15	M116	K423	K436
	K434	K468	M114	M420	S413
	T401	T402	T406	T407	
5J100	A001	A441	C21	AC36	AC61
	AC39	A270	A438	A400	A115
	A416	A23	A236	K34	A68
	A414	M20	AS13	AT01	AT02
	AT06	AT07			
5K046	E219	E51	E559		
5K060	B007	C04	D03	D04	FF00
					H006